

⑫ 公開特許公報(A)

昭63-224411

⑤ Int.Cl.⁴

H 03 K 5/135

識別記号

庁内整理番号

6707-5J

④ 公開 昭和63年(1988)9月19日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 デジタル遅延回路

⑭ 特 願 昭62-56744

⑮ 出 願 昭62(1987)3月13日

⑯ 発 明 者 伊 藤 健 司 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

⑰ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑱ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

デジタル遅延回路

2. 特許請求の範囲

(1) 入力パルスをクロックパルスで同期化して該入力パルスの一方のエッジを検出するエッジ検出手段と、

このエッジ検出手段のエッジ検出出力に従ってリセットされるRSフリップフロップ手段と、

上記エッジ検出手段のエッジ検出出力に従ってリセットされ、上記クロックパルスを分周する分周手段と、

上記エッジ検出手段のエッジ検出出力に従ってリセットされた後、上記分周手段の分周出力をカウントし、該カウント値が所定値になったら上記RSフリップフロップ手段をセットするセット手段と、

を具備し、上記RSフリップフロップ手段の出力が上記入力パルスに対して上記クロックパルスと上記第1の所定値とによって規定される時間分

遅延されることを特徴とするデジタル遅延回路。

(2) 上記セット手段は、

上記分周手段の分周出力をカウントするカウント手段と、

このカウント手段のカウント値と上記第1の所定値とを比較し、両者の一致を検出する一致検出手段と、

を具備し、この一致検出手段の一致検出出力に従って上記RSフリップフロップ手段をセットするように構成されていることを特徴とする特許請求の範囲第1項記載のデジタル遅延回路。

(3) 上記リセット手段は、

上記エッジ検出手段のエッジ検出出力に従って第2の所定値をプリセットされ、上記分周手段の分周出力をカウントするプリセッタブルカウント手段

を具備し、このプリセッタブルカウント手段のオーバーフロー出力によって上記RSフリップフロップ手段をセットするように構成されていることを特徴とする特許請求の範囲第1項記載のデジ

タル遅延回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

入力パルスをデジタル的に遅延するデジタル遅延回路に関する。

(従来の技術)

近年デジタル回路の高集積化に伴ない、遅延回路としては抵抗とコンデンサによるアナログ遅延回路から、正確なクロックパルスを計数して所望の遅延時間を設定するデジタル遅延回路が使用されるようになってきている。

第3図に従来のデジタル遅延回路の一構成例を、第4図にそのタイミングチャートを示す。入力パルスAは、立上がりエッジ検出回路11により、クロックパルスCに同期させられ、かつその立上がりエッジが検出される。この立上がりエッジの検出パルスDは、前記クロックパルスCを計数するNビットアップカウンタ12をリセットするとともに、RSフリップフロップ回路13をリセッ

トする。Nビットアップカウンタ12は、前記リセットパルスDにより“0”にリセットされた後、クロックパルスCをアップカウントしてゆく。一致検出回路14は、ROM15により指定された値Gとカウンタ12のカウント値Fが一致すると、一致検出パルスEを出力する。上記RSフリップフロップ回路13はこの一致検出パルスEでセットされる。

上記構成によれば、RSフリップフロップのQ出力Bの立上がりエッジは、第4図に示すように、入力パルスAの立上がりエッジからROM15で指定された時間だけ遅延される。ここで、遅延時間Tは、クロックパルスCの周期を T_{ck} 、ROM指定値をXとすると、 $T = T_{ck} \cdot X$ となる。

このように、デジタル遅延回路は、正確なクロックパルスCに従って遅延時間が設定されるため、経時変化がなく高安定、高精度な性能を容易に得ることができるとともに、全体的にデジタル回路で構成のための、高集積化に適している。さらに、第3図に示すように、前記ROM指定値Xを、モ

ード指定信号Hにより選択することにより、モード毎に異なる遅延時間を容易に設定可能となる。なお、16はモード指定信号Hをデコードするデコードである。

上記クロックパルス周期 T_{ck} は、入力パルスAをクロックパルスCに同期化する際に発生する量子化誤差がシステム性能に影響を与えない程度に小さくする必要がある。また、アップカウンタ2のビット数Nは、必要な最大遅延時間を T_{MAX} とすると、 $2^N > T_{MAX} / T_{ck}$ より決定される。

ところで、上述したようにして入力パルスから所定時間遅延したパルスを発生するデジタル遅延回路に対する要求仕様として、上記量子化誤差は十分小さい必要があるが、遅延時間の取り得る値はかなりラフでよいという仕様がよくある。

上述したデジタル遅延回路では、量子化誤差を小さくするにはクロックパルス周期 T_{ck} を十分小さくする必要がある。しかし、カウンタ2のビット数Nを大きくすると、一致検出回路14及び

(発明が解決しようとする問題点)

以上述べたように、従来のデジタル遅延回路においては、量子化誤差は小さい必要があるが、遅延時間の取り得る値としてはさほど精度を要求されない仕様の場合、回路構成が冗長になるという問題があった。

この発明は上記の点に鑑みてなされたもので、量子化誤差は小さくする必要があるが、遅延時間

この場合、カウンタキャリー出力を利用する構成に代えてボロー出力を利用する構成にしても、同じ効果が得られることは勿論である。

また、以上の実施例では、クロックパルスCの分周手段として、リップル形のカウンタを想定して説明したが、 $1/N$ カウンタを用いてもよいことは勿論である。

〔発明の効果〕

以上述べたように、この発明によれば、小さな量子化誤差を維持しつつ、カウント用ビット数を大幅に削減することが可能なデジタル遅延回路を簡単な構成で容易に実現することができる。

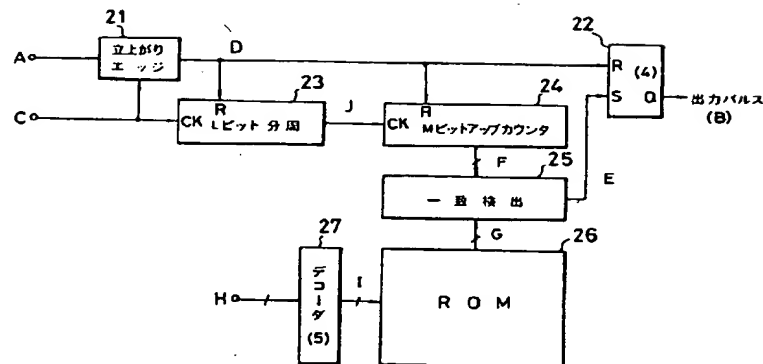
4. 図面の簡単な説明

第1図はこの発明の一実施例の構成を示すブロック図、第2図はこの発明の他の実施例の構成を示すブロック図、第3図は従来のデジタル遅延回路の構成を示すブロック図、第4図は第3図に示す回路の動作を説明するために示すタイミングチャートである。

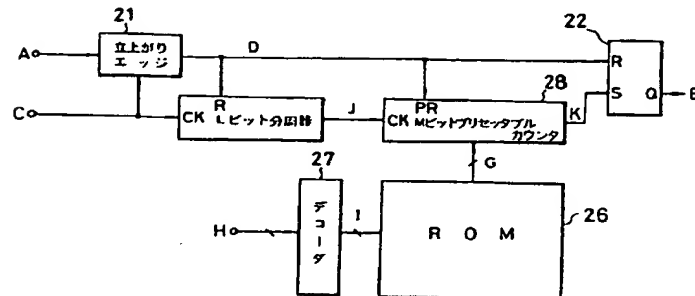
21…立上がりエッジ検出回路、22…RSフ

リップフロップ回路、23…Lビット分周回路、24…Mビットアップカウンタ、25…一致検出回路、26…ROM、27…デコーダ、28…Mビットプリセットブルカウンタ。

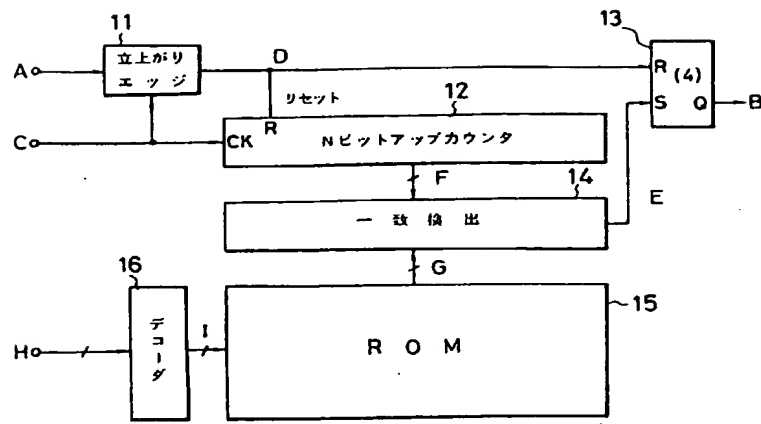
出願人代理人 弁理士 鈴江武彦



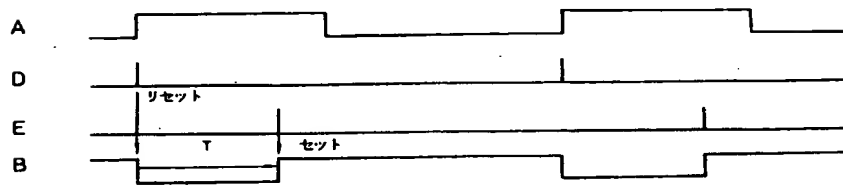
第1図



第2図



第 3 図



第 4 図